

Attorney Docket No. 122.1583

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Yoshihiro MAESAKI, et al.

Application No.:

Group Art Unit:

Filed: March 10, 2004

Examiner:

For: DYNAMIC BURN-IN METHOD AND APPARATUS

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Patent Application No(s). JP 2001-294159 and PCT/JP02/09981

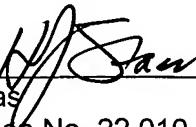
Filed: September 26, 2001 and September 26, 2002

It is respectfully requested that the applicant(s) be given the benefit of parent PCT/JP02/09981 filing date of September 26, 2002 and the benefit of the foreign filing date of September 26, 2001 of JP 2001-294159 as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 10, 2004

By: 

H. J. Staas  
Registration No. 22,010

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2001年 9月26日

出願番号 Application Number: 特願2001-294159

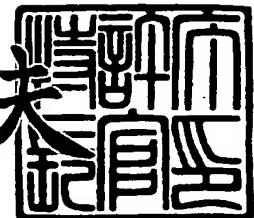
[ST. 10/C]: [JP2001-294159]

出願人 Applicant(s): 富士通株式会社

2003年11月20日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫





【書類名】 特許願  
【整理番号】 0151938  
【提出日】 平成13年 9月26日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G01R 31/28  
【発明の名称】 ダイナミック・バーンイン装置  
【請求項の数】 2  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 前崎 義博  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 勅使河原 寛  
【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社  
【代理人】  
【識別番号】 100100930  
【弁理士】  
【氏名又は名称】 長澤 俊一郎  
【電話番号】 03-3822-9271  
【選任した代理人】  
【識別番号】 100080894  
【弁理士】  
【氏名又は名称】 京谷 四郎  
【電話番号】 03-3823-7935

**【手数料の表示】****【予納台帳番号】** 024143**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9704945**【プルーフの要否】** 要



【書類名】 明細書

【発明の名称】 ダイナミック・バーンイン装置

【特許請求の範囲】

【請求項 1】 信号発生器が出力する信号をバーンイン槽内に収納された被試験対象の半導体装置に入力し、半導体装置のバーンインを行うダイナミック・バーンイン装置であって、

上記信号発生器の出力側に変換器を設け、該変換器により、上記信号発生器が出力する信号の周波数を高くし、

上記変換器が出力する信号を被試験対象の半導体装置に入力してダイナミック・バーンインを行う

ことを特徴とするダイナミック・バーンイン装置。

【請求項 2】 上記被試験対象の半導体装置は汎用メモリであり、  
上記変換器は、上記信号発生器が出力するクロック信号に同期し、該クロック周波数より高い周波数のクロック信号を発生する同期発振器と、

上記信号発生器が出力する制御信号、データ信号、アドレス信号を、上記同期発振器が出力するクロック信号に応じた幅の信号に成形する波形成形回路とを備え、

上記同期発振器が出力するクロック信号と、上記波形成形回路が出力する制御信号、データ信号、アドレス信号を被試験対象の半導体装置に入力する  
ことを特徴とする請求項 1 のダイナミック・バーンイン装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は不良な半導体をスクリーニングするためのバーンイン装置に関し、特に高速にダイナミック・バーンインを行うことができるバーンイン装置に関するものである。

【0002】

【従来の技術】

従来から、半導体装置の受け入れ等に際し、バーンイン槽内に半導体装置を收

納し、半導体装置に信号発生器からバーンイン信号を入力し、ダイナミック・バーンインを行うことにより、不良品をスクリーニングすることが行われている。

図5に上記バーンイン装置の概略構成を示す。同図に示すように、バーンイン装置は信号発生器1とバーンイン槽2から構成され、プリント基板P Bに被試験対象となるLSI等の半導体を取り付けてバーンイン槽2内に収納し、信号発生器SGから半導体装置にバーンイン信号を所定時間入力しバーンインを行う。

図2に、DRAM、SRAM等の汎用メモリをバーンインする際のバーンイン信号の一例を示す。同図に示すように、バーンイン信号は、クロックCLK、行アドレスストローブRAS（以下単にRASという）、列アドレスストローブCAS（以下単にCASという）、ライトイネーブルWEと、データDIN、行アドレスAD（R）、列アドレスAD（C）からなり、アドレスはインクリメントされ、メモリの各セルにデータが書き込む処理を行う。

#### 【0003】

また、カスタムLSI等においては、バーンイン信号を発生する回路をLSI内に内蔵させ、外部からクロック信号、制御信号等を入力してLSI内部でバーンイン信号を生成してダイナミック・バーンインを行うことも行われている（例えば特開平10-221411号公報等参照）。

しかし、バーンイン信号を発生する回路をLSI内に内蔵させると、それに応じて半導体装置のコストがアップする。このため、比較的廉価な汎用メモリ等においてはバーンイン信号を発生する回路をLSI内に内蔵させずに、通常図2に示すようなバーンイン信号を被試験対象となる半導体装置に入力してダイナミック・バーンインを行っている。

#### 【0004】

##### 【発明が解決しようとする課題】

近年、汎用メモリ等の高速、高機能化が増加しており、これに対応できるバーンイン装置の実現が望まれている。

しかし、現状のバーンイン装置の信号発生器のクロック周波数の上限は、10MHz程度であり、現状のバーンイン装置による通常のバーンインでは、例えばクロック周波数が100MHz以上の中速な汎用メモリに対しバーンイン効果が

期待できない。そこで、このような高速な汎用メモリに対してバーンインの加速効果を得るため、バーンイン時間を長くしているのが現状である。

本発明は上記事情を考慮してなされたものであって、本発明の目的は、従来のバーンイン装置に比較的簡単な構成の変換器を付加することにより、上記高速、高機能な半導体装置を短時間でバーンインすることができるダイナミック・バーンイン装置を提供することである。

### 【0005】

#### 【課題を解決するための手段】

図1は本発明の概要を示す図である。

本発明は同図(a)に示すように、信号発生器1が出力する信号をバーンイン槽2内に収納された被試験対象の半導体装置に入力し、半導体装置のバーンインを行うダイナミック・バーンイン装置において、上記信号発生器の出力側に変換器3を設ける。

そして、変換器3により、上記信号発生器1が出力する信号の周波数をN倍( $N = 1, 2, 3, \dots$ )にし、変換器3が出力するバーンイン信号をバーンイン槽2内に収納された被試験対象の半導体装置に入力してダイナミック・バーンインを行う。

例えば、汎用メモリのバーンインを行う場合、図1(b-1)に示す信号変換器1の出力CLK1, RAS1, CAS1, WE1等を、変換器3により同図(b-2)(b-3)に示すように、クロック信号CLK1に同期した周期が $20n\text{ s}$ のクロック信号CLK2に変換するとともに、ローレベルの時の幅が $20n\text{ s}$ のRAS2, CAS2, WE2等の信号に変換し、バーンイン槽内に収納された半導体装置に供給し、ダイナミック・バーンインを行う。

上記のように、信号発生器1が出力するバーンイン信号の周波数を変換器3により変換し、周波数が高いバーンイン信号を、バーンイン槽内の半導体装置に供給しているので、高速、高機能な半導体装置に対しても、短時間でダイナミック・バーンインを行うことができる。

また、従来のバーンイン装置に変換器を付加するだけで、バーンインを加速し、バーンイン時間を短縮することができるので、高速、高機能な半導体装置に対

応したバーンイン装置を新規に導入する場合に比べ、大幅にコストダウンを図ることができる。

### 【0006】

#### 【発明の実施の形態】

以下、本発明の実施例について説明する。なお、以下の説明では、汎用メモリを対象としたバーンイン装置について説明するが、本発明の対象は汎用メモリに限定されるものではなく、その他の各種の半導体装置に適用することができる。

図2は本発明の実施例のバーンイン装置の概略構成を示す図である。本実施例は、前記図5に示したバーンイン装置において、信号発生器1の出力側に変換器3を設け、信号発生器1が出力するバーンイン信号の周波数を変換器3により高くし、バーンイン槽に収納された汎用メモリに供給することにより、バーンインを加速する実施例を示している。

### 【0007】

図3に本実施例の変換器3の構成例を示す。同図は変換器3により、信号発生器1が出力する周期が60nsのクロック信号CLK1のバーンイン信号を、周期が20nsのクロック信号CLK2のバーンイン信号に変換する場合の回路構成例を示している。

同図において、31は同期発振器であり、信号発生器1が出力する周期が60nsのクロック信号CLK1の周波数を3倍し、該クロック信号CLK1に同期し、周期が20nsのクロック信号CLK2を発生する。

32は波形成形回路であり、波形成形回路32は、反転回路INV1と、フリップフロップFF1～FF6と、遅延回路D1～D6を備えている。

### 【0008】

反転回路INV1は、同期発振器3aが出力するクロック信号CLK2を反転させる。反転回路INV1の出力は、フリップフロップFF1～FF6のクロック入力端子CLKに供給される。

また、前記信号発生器1が出力するRAS、CAS、ライトイネーブルWE、データDIN、行アドレスAD(R)、列アドレスAD(C)が上記フリップフロップFF1～FF6のデータ入力端子Dに供給される。また、遅延回路D1～

D 6 はアンドゲート G 1 ~ G 6 の出力を所定時間遅延させる。

### 【0009】

図4は本実施例の変換器の動作を説明する図であり、図3、図4を参照しながら、本実施例の動作について説明する。

図4において、CLK1、RAS1、CAS1は信号発生器の出力を示し、CLK2、RAS2、CAS2、WE2、DIN2、AD(R)2、AD(C)2は変換器3の出力を示している。なお、同図では、信号発生器1の出力としてCLK1、RAS、CASのみを示しているが、前記図6に示したタイミングでWE1、DIN1、AD(R)2、AD(C)2の信号も同様に変換器3に入力される。

信号発生器1が出力するクロック信号CLK1は図3に示す同期発振器31に供給され、同期発振器31は、図4に示すようにクロック信号CLK1に同期したn倍の周波数のクロック信号CLK2を発生する。このクロック信号CLK2は前記したバーンイン槽2に収納された半導体装置に供給されるとともに、波形成形回路32に供給される。

### 【0010】

波形成形回路32に設けられた反転回路INV1は、このクロック信号CLK2を反転し、この反転されたクロック信号CLK2は、フリップフロップFF1~FF6のクロック端子CLKに入力される。フリップフロップFF1~FF6は、上記反転回路INV1の出力が立ち下がるタイミングで、信号発生器1が出力するWE1、DIN1、AD(R)2、AD(C)2の値に取り込み、その値を保持する。

このため、フリップフロップFF1からFF6の出力Qは、図4に示すように、RAS1、CAS1、WE1、DIN1、アドレス1(R)、アドレス1(C)が入力される毎に20nsの幅でローレベルとなる。

フリップフロップFF1~FF6の出力Qは、遅延回路Dに供給されて所定時間遅延され、図4に示すようにRAS2、CAS2、WE2、DIN2、アドレス2(R)、アドレス2(C)として出力される。この信号はバーンイン信号として、前記図2に示したようにバーンイン槽に収納された半導体に供給される。

### 【0011】

本実施例においては、上記のように、変換器3を設け、信号発生器1が出力するバーンイン信号の周波数を変換器3により高くして、バーンイン槽内の半導体装置に供給しているので、高速、高機能な半導体装置に対しても、短時間でバーンインを行うことができる。

また、従来の信号発生器に比較的簡単な構成の変換器を設けるだけで、バーンインを加速することができ、クロック周波数が高い信号発生器を設ける場合に比べ、安価に構成することができる。

### 【0012】

なお、上記実施例では、クロック信号の周期を60ns→20nsに変換し、RAS2、CAS2、WE2等がローレベルのときの幅を30ns→20nsに変換する場合について説明したが、RAS2、CAS2、WE2等がローレベルのときの幅を30ns→10nsになるように変換しても、同様にバーンインの加速効果を得ることができる。

さらに、上記実施例では、クロック信号の周期を60nsから20nsに変換する場合について説明したが、本発明は上記実施例に限定されるものではなく、変換する周波数は、バーンインの対象となる半導体装置に合わせて適宜、選択することができる。

### 【0013】

#### 【発明の効果】

以上説明したように、本発明においては、以下の効果を得ることができる。

(1) 高速のダイナミック・バーンインを行うことが可能となったので、半導体装置における初期劣化性不良の検出出力を数倍にアップすることが可能となる。

(2) ダイナミック・バーンインに際して、半導体装置へのストレス回数をN倍にすることができるので、バーンイン時間を1/Nに短縮することができる。

(3) 従来のバーンイン装置に変換器を付加するだけでよいので、高速な半導体装置に対応したバーンイン装置を新規に導入することなく、高速なバーンインを実施することが可能となる。

#### 【図面の簡単な説明】

**【図1】**

本発明の概要を説明する図である。

**【図2】**

本発明の実施例のバーンイン装置の概略構成を示す図である。

**【図3】**

本発明の実施例の変換器の構成例を示す図である。

**【図4】**

図3に示す変換器の動作を示すタイムチャートである。

**【図5】**

バーンイン装置の概略構成を示す図である。

**【図6】**

汎用メモリのダイナミック・バーンインを行う際のバーンイン信号の一例を示す図である。

**【符号の説明】**

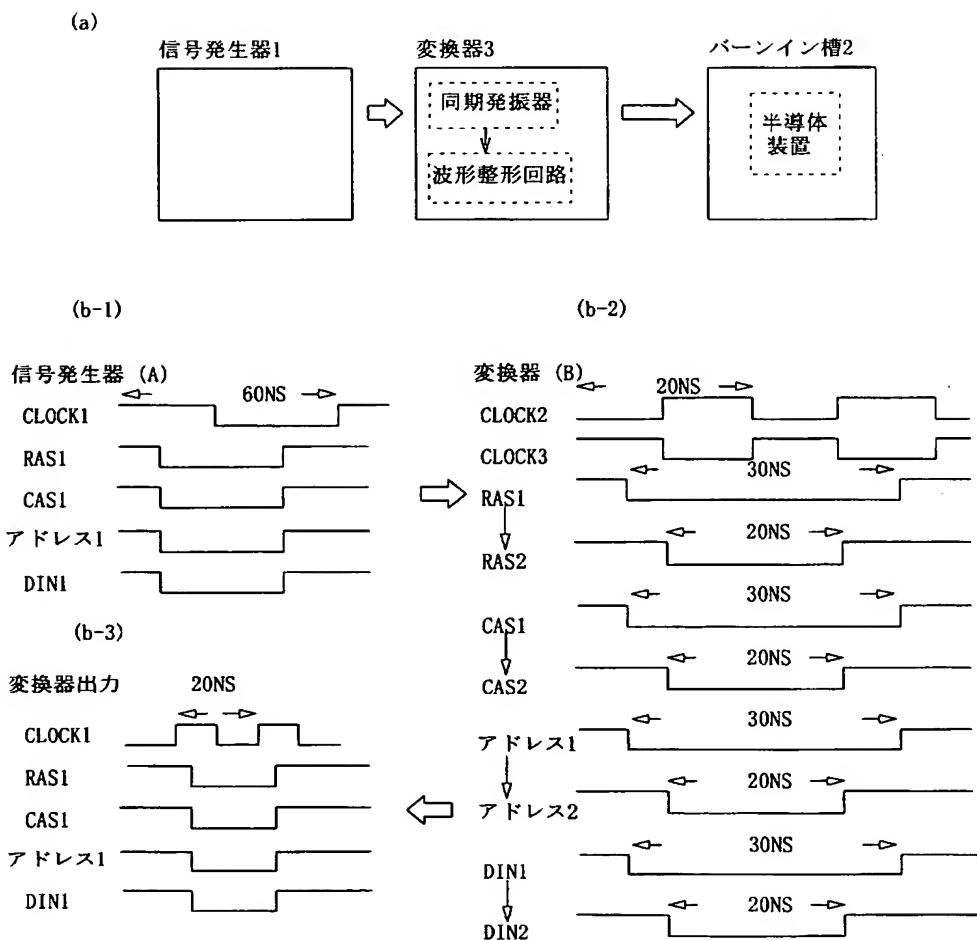
- 1 信号発生器
- 2 バーンイン槽
- 3 変換器
- 3 1 同期発振器
- 3 2 波形成形回路

【書類名】

図面

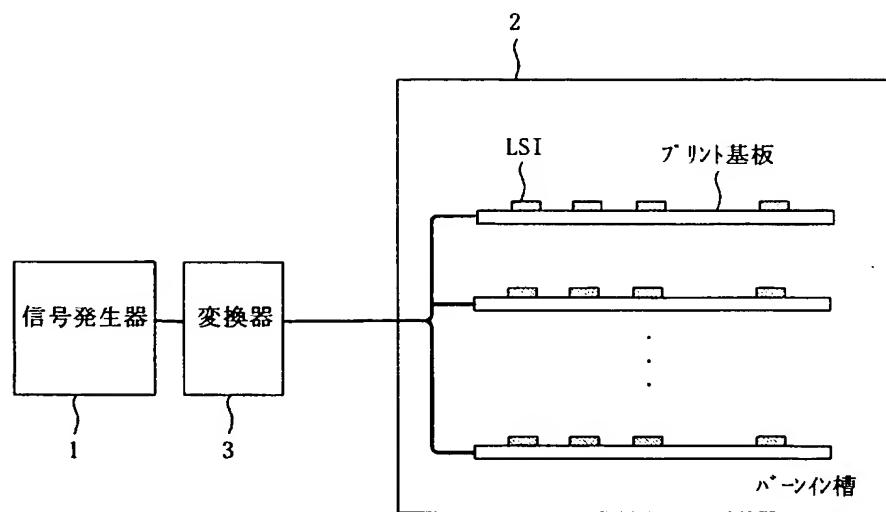
【図1】

本発明の概要を説明する図



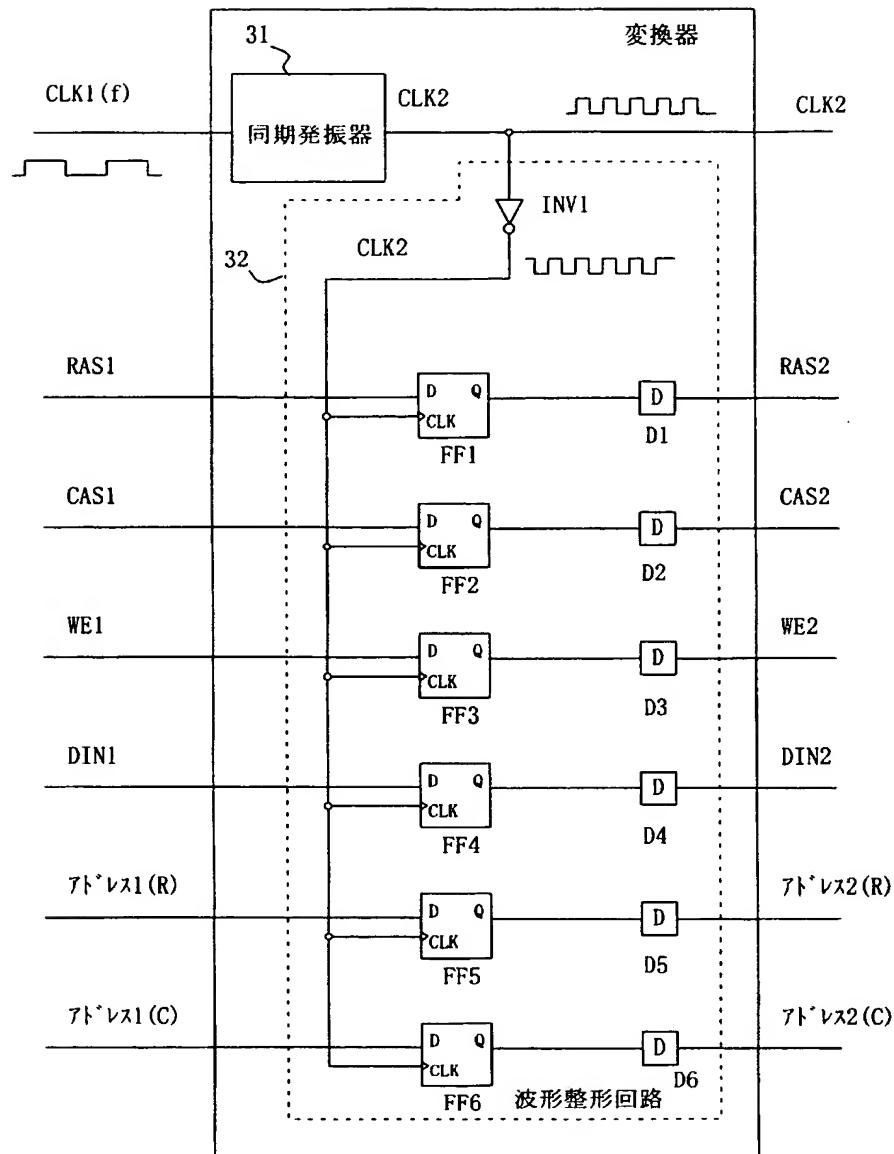
【図 2】

本発明の実施例のバーンイン装置の概略構成を示す図



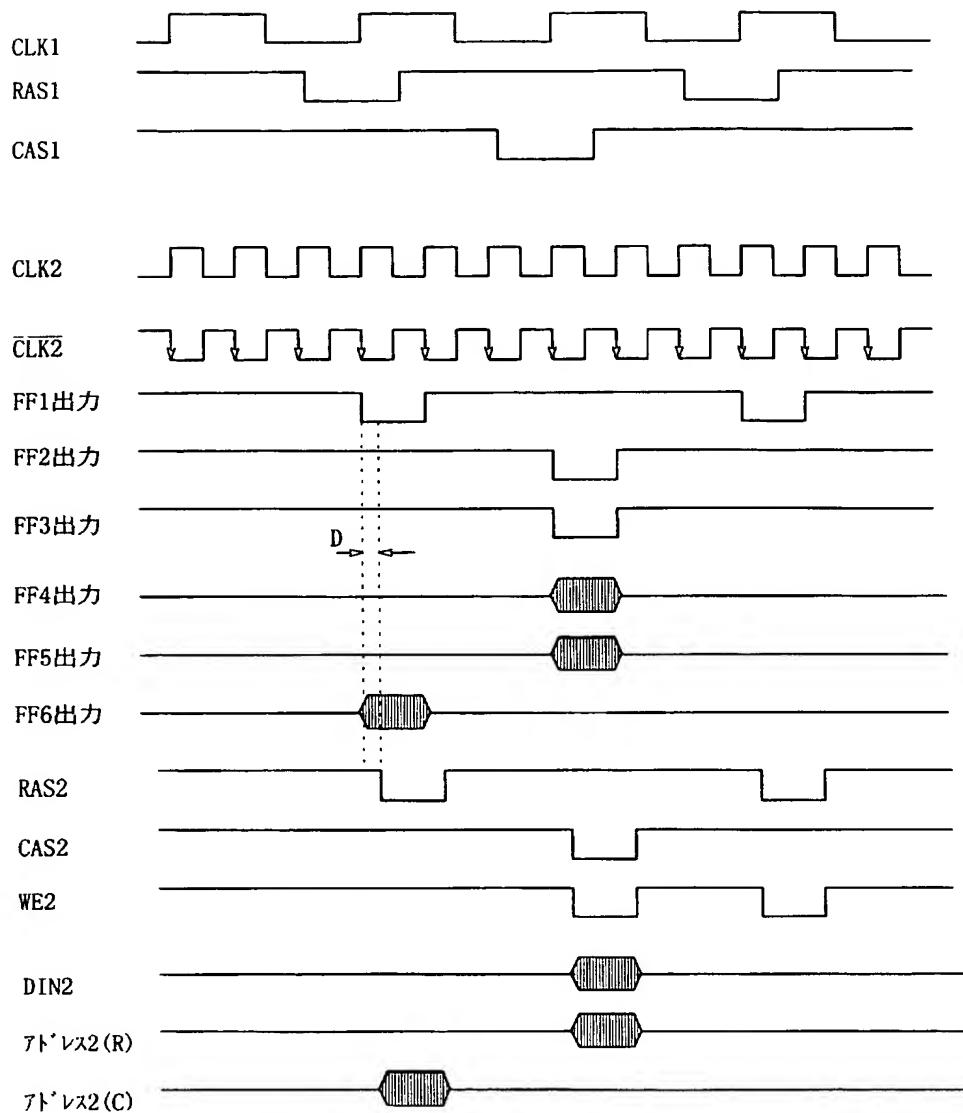
【図3】

本発明の実施例の変換器の構成例を示す図



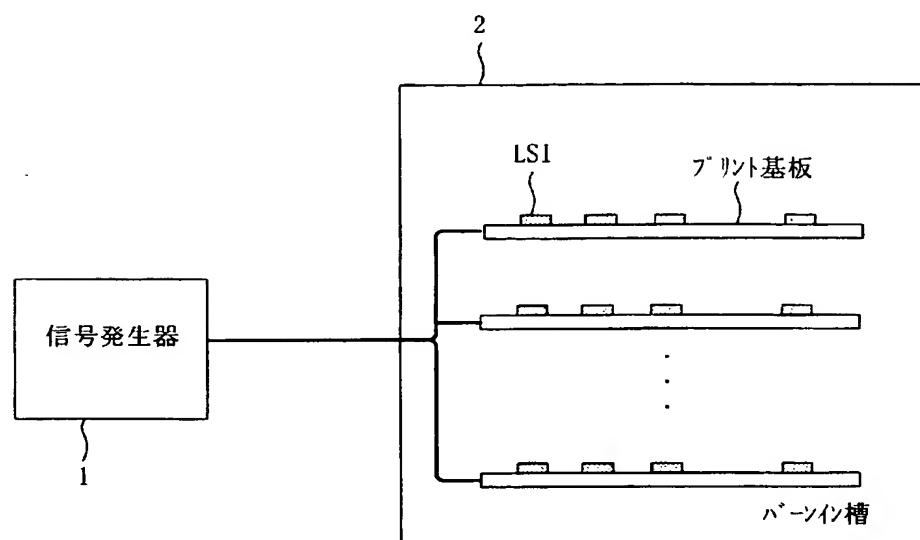
【図 4】

図3に示す変換器の動作を示すタイムチャート



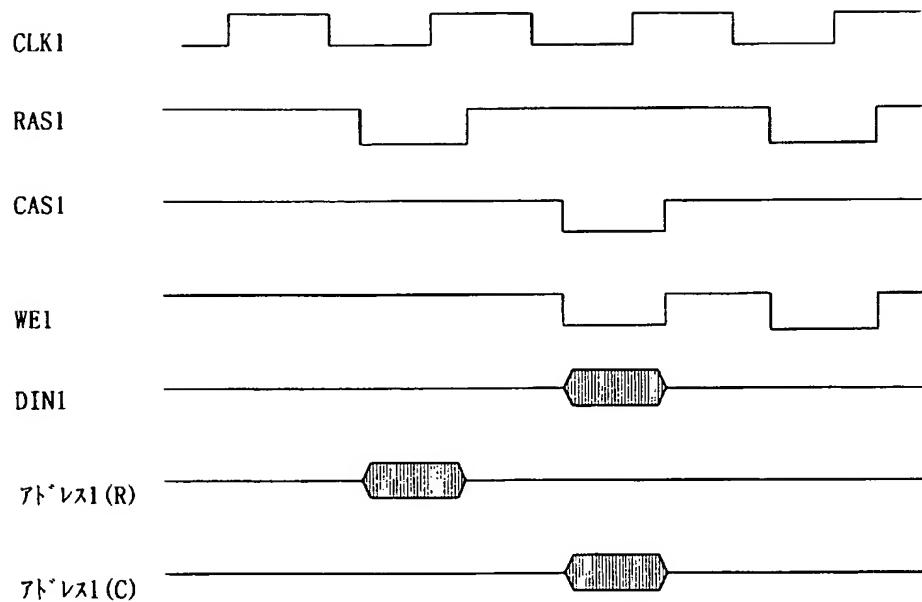
【図 5】

バーンイン装置の概略構成を示す図



【図6】

汎用メモリのダイナミック・バーンインを行う際の  
バーンイン信号の一例を示す図



【書類名】 要約書

【要約】

【課題】 バーンイン装置に変換器を付加することにより、上記高速、高機能な半導体装置を短時間でバーンインできるようにすること。

【解決手段】 信号発生器1が出力する信号をバーンイン槽2内に収納された被試験対象の半導体装置に入力し、半導体装置のバーンインを行うダイナミック・バーンイン装置において、上記信号発生器の出力側に変換器3を設ける。そして、変換器3により、上記信号発生器1が出力する信号の周波数をN倍にし、変換器3が出力するバーンイン信号をバーンイン槽2内に収納された被試験対象の半導体装置に入力して高速ダイナミック・バーンインを行う。信号発生器1が出力するバーンイン信号の周波数を変換器3により変換し、周波数が高いバーンイン信号を、バーンイン槽内の半導体装置に供給しているので、高速、高機能な半導体装置に対しても、短時間でダイナミック・バーンインを行うことができる。

【選択図】 図1

特願2001-294159

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社